# **Multiprocesadores : Práctica 4**

Héctor Romero de Blas, Miquel García de Mendoza, Ramon Mateo

**Trabajo 2: En esta práctica, el controlador de memoria es el que genera las señales de observación en la red de vuelta (Figura 57 en el Apéndice 4.4). En primer lugar, dibuje un esquema del circuito del controlador de memoria utilizado en el proyecto 1 de la Práctica 2 (en la Práctica 3 se utiliza el mismo controlador). Extienda el esquema con la memoria. Posteriormente dibuje el esquema del circuito del controlador de memoria utilizado en esta práctica. Para todo ello, analice las especificaciones VHDL., en la página 11.**

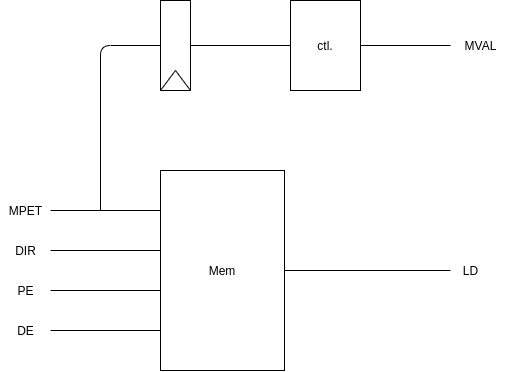
****

Figura 1: Controlador de memoria en la práctica 2

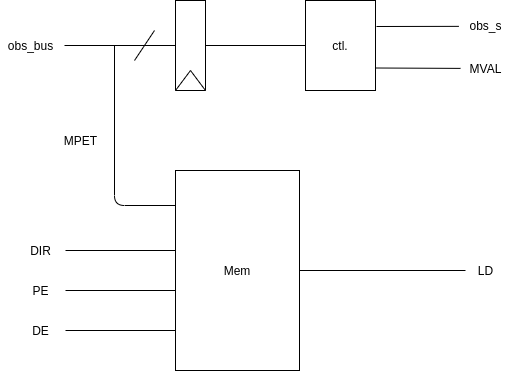
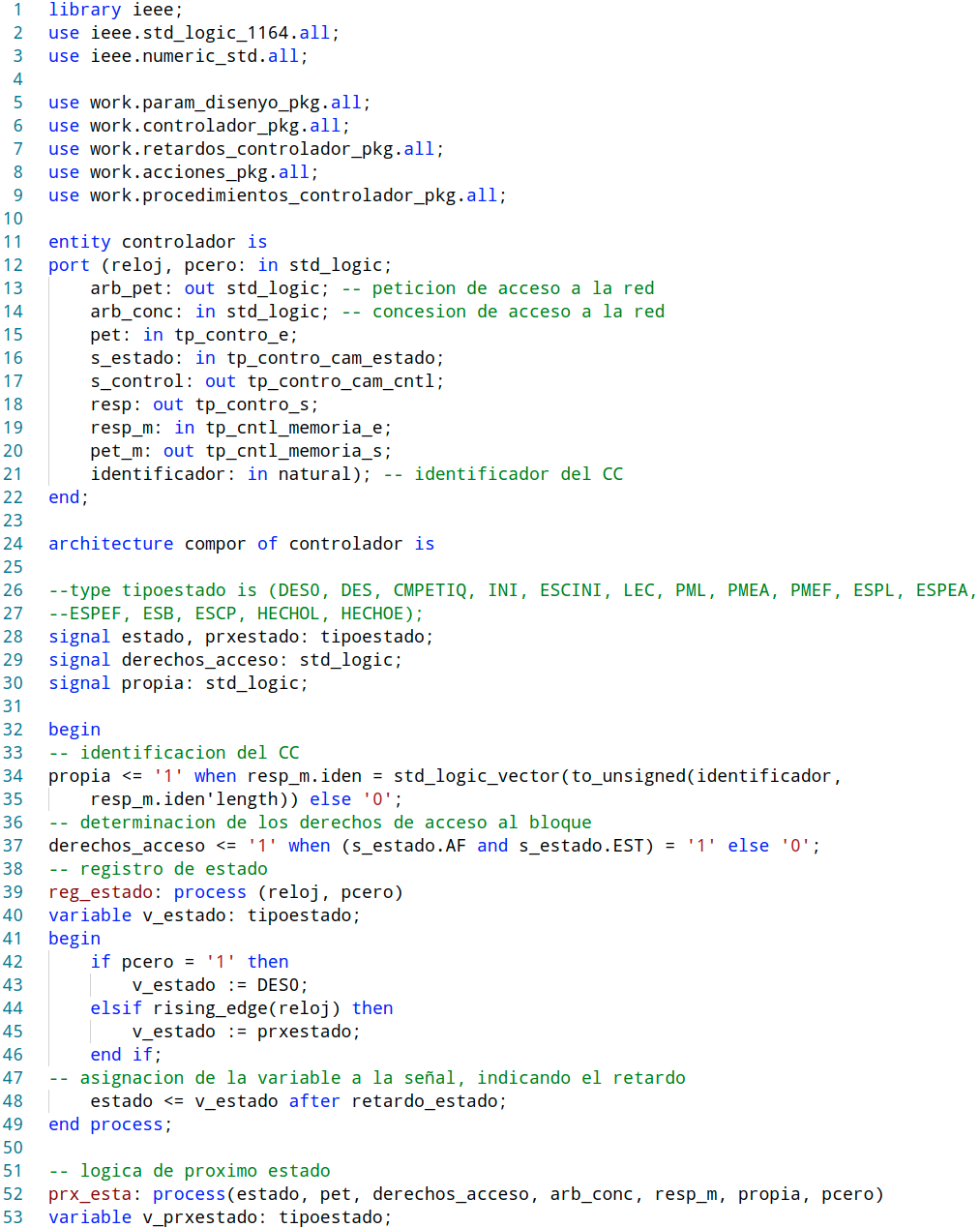
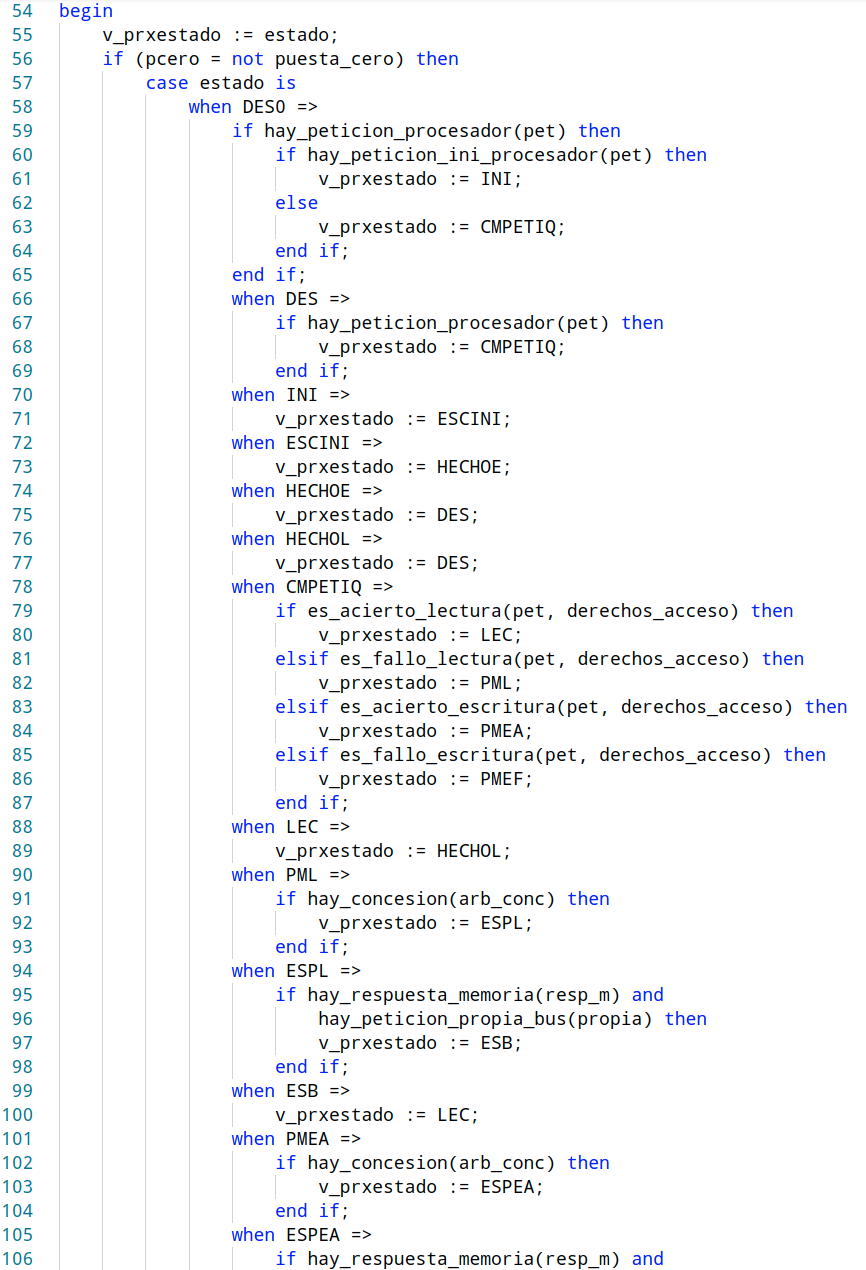
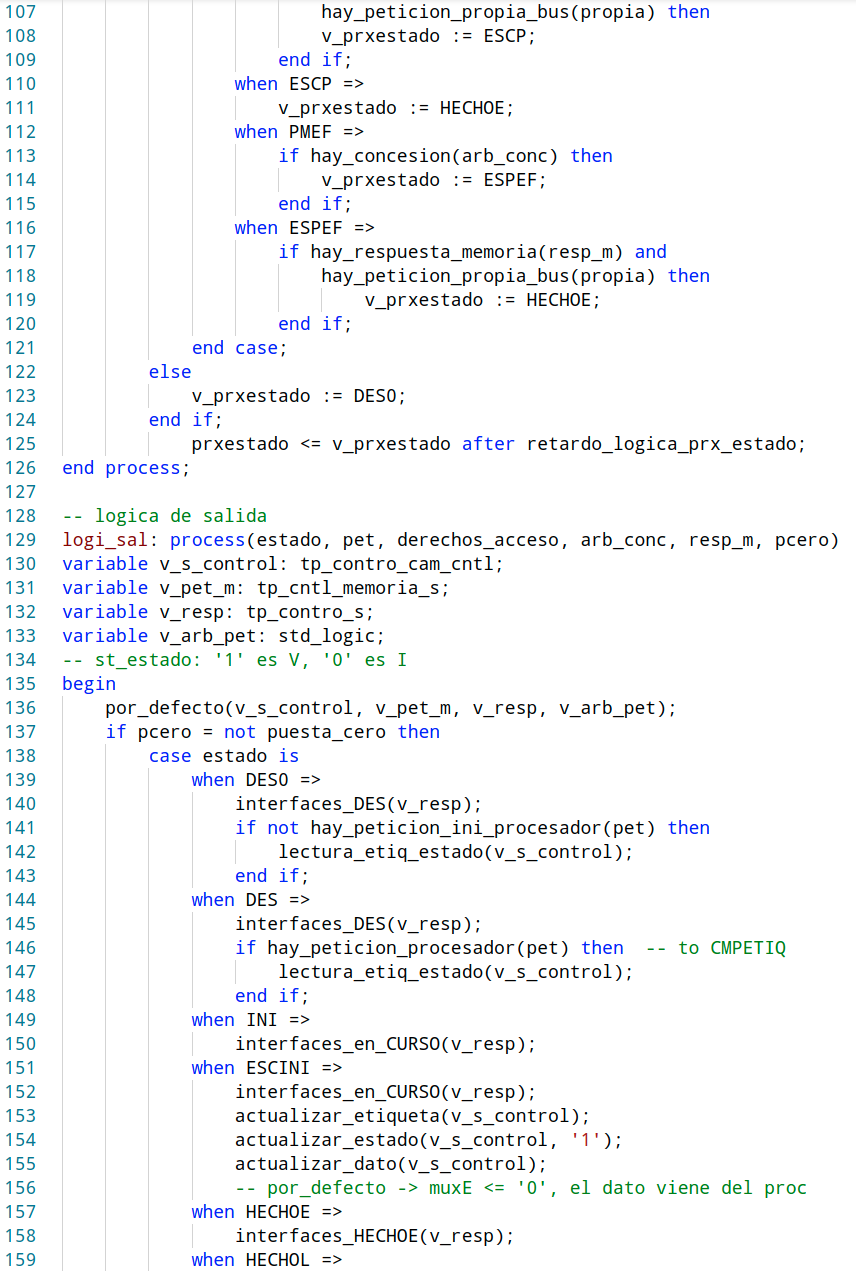


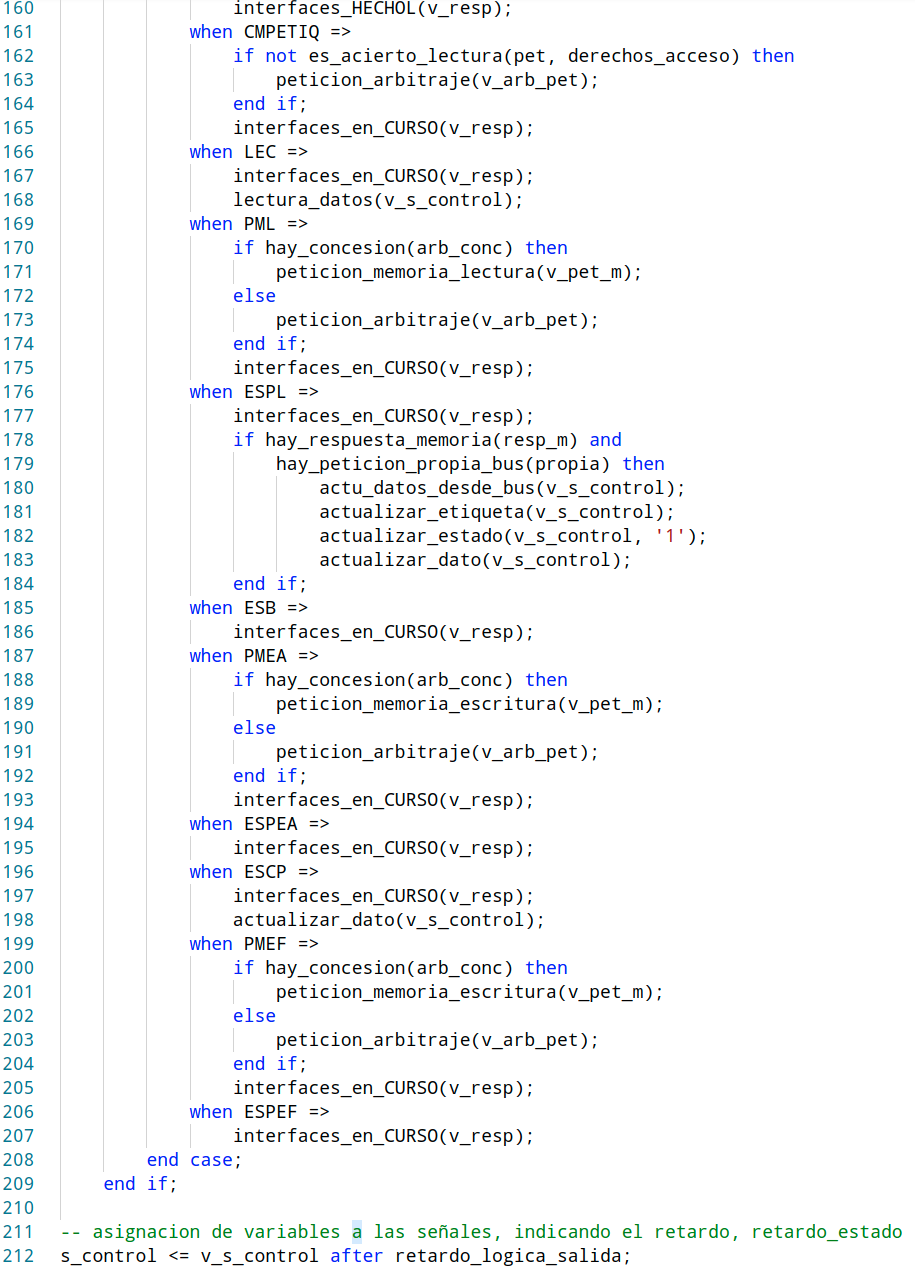
Figura 2. Controlador de memoria en la práctica 4

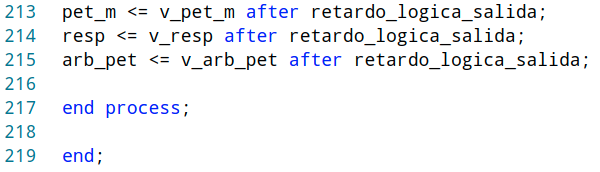
**Trabajo 5: En el directorio “controlador/componentes/procesador/CODIGO” (Figura 57 en el Apéndice 4.4) se encuentra un fichero denominado controlador.vhd con una interface declarada. En esta interface ha sido suprimida la señal, denominada trans\_bus, respecto a la interface utilizada en el “proyecto 2 de la Práctica 3” y ha sido añadida la señal iden (resp\_m.iden), como un campo del conjunto de señales que se denominan “resp\_m: in tp\_cntl\_memoria\_e“. Copie como cuerpo de la arquitectura el cuerpo de la arquitectura del fichero controlador.vhd del “proyecto 2” de la Práctica 3 y modifíquelo en consonancia con el Trabajo 3 ., en la página 11.**

****

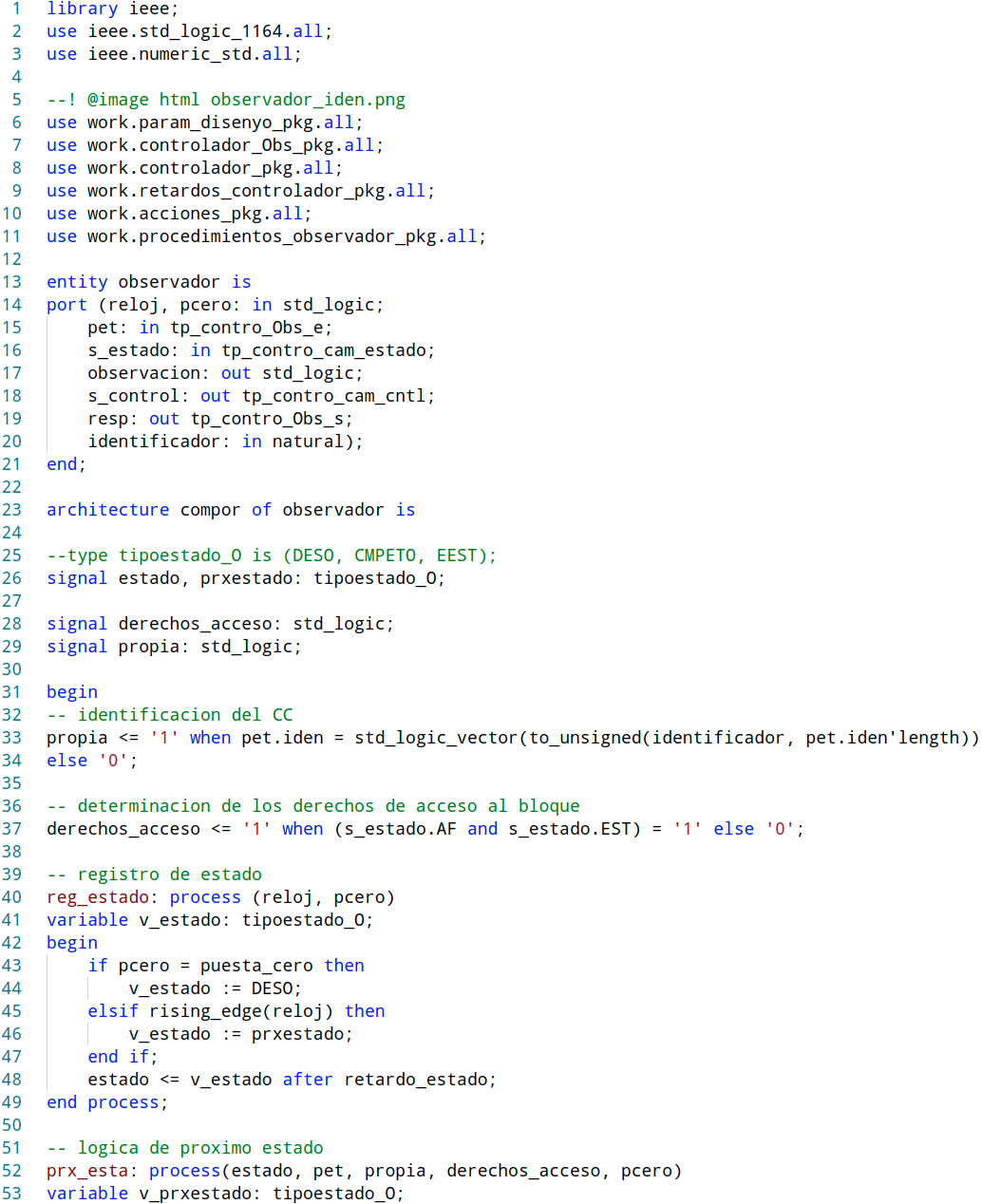
****

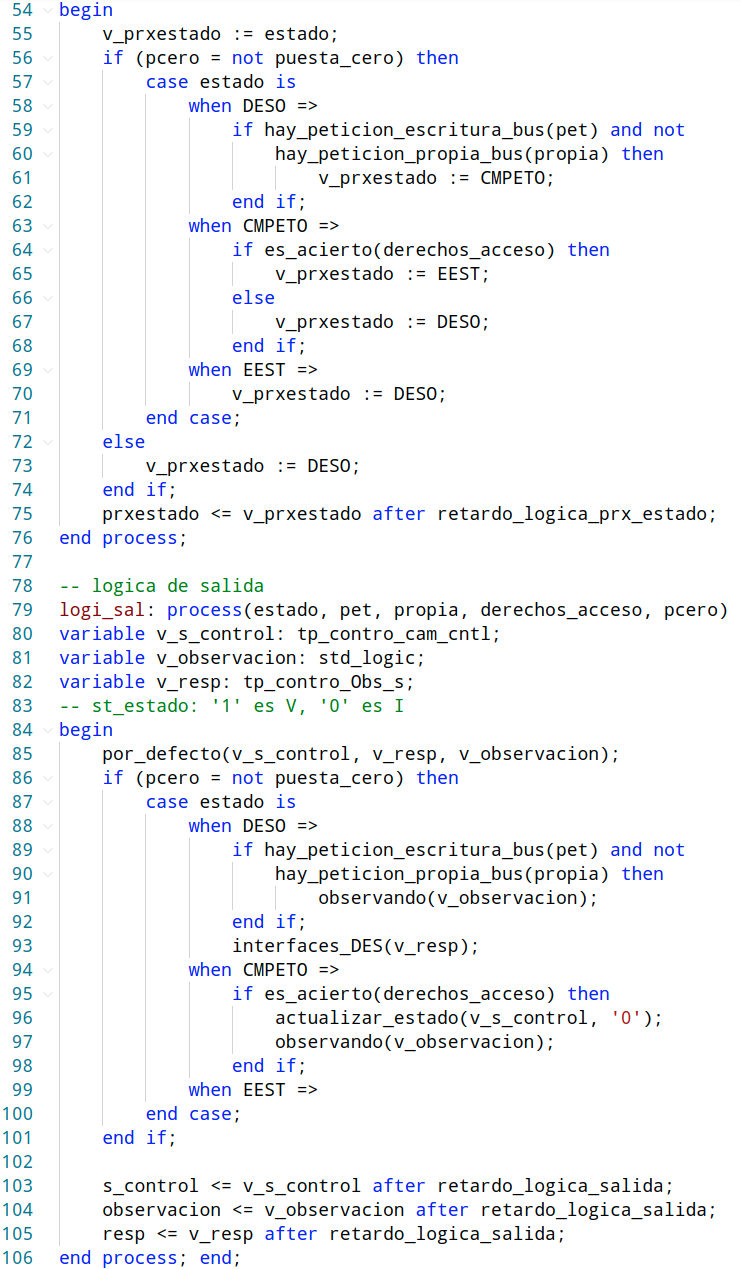
****

****

****

**Trabajo 6: En el directorio “controlador/componentes/observador/CODIGO” (Figura 57 en el Apéndice 4.4) se encuentra un fichero denominado observador.vhd con una interface declarada. En esta interface ha sido suprimida la señal, denominada trans\_bus, respecto a la interface utilizada en el “proyecto 2 de la Práctica 3” y ha sido añadida la señal iden (pet.iden), como un campo del conjunto de señales que se denominan “pet: in tp\_contro\_Obs\_e“. Copie como cuerpo de la arquitectura el cuerpo de la arquitectura del fichero observador.vhd del “proyecto 2” de la Práctica 3 y modifíquelo en consonancia con el Trabajo 4., en la página 12.**





**Trabajo 10: Caracterice el riesgo estructural de forma similar a la utilizada en la Figura 34 de la Práctica 3., en la página 13.**

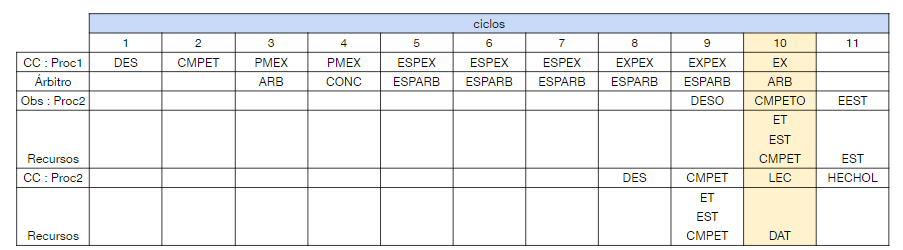
****

Tabla 1. Riesgo estructural en el acceso concurrente a distintos campos (proyecto 3.1)

**Trabajo 17: Caracterice el riesgo estructural de forma similar a la utilizada en la Figura 38 de la Práctica 3., en la página 15.**

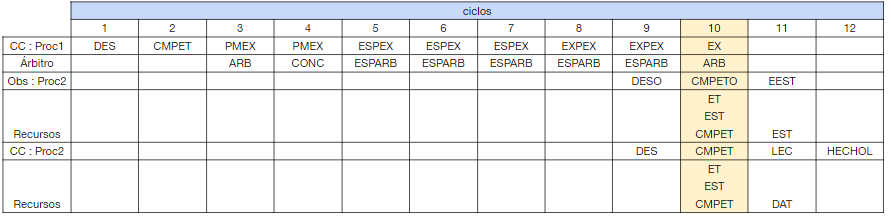
****

Tabla 2. Riesgo estructural en el acceso concurrente a el mismo campo (proyecto 3.2)

**Trabajo 26: Caracterice el cruce de peticiones de forma similar a la utilizada en la Figura 42 de la Práctica 3., en la página 16.**

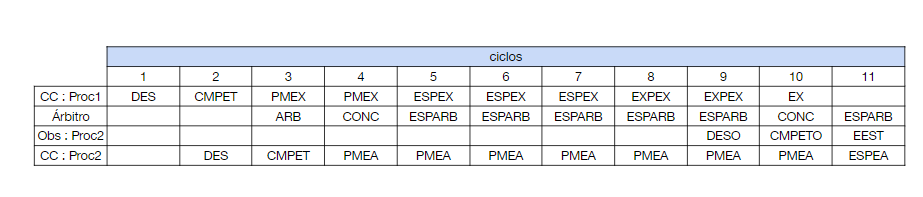
****

Tabla 3. Cruce de peticiones en el proyecto 4

**Trabajo 31: Razone de forma sucinta por qué la latencia de iniciación mínima es igual a 3. Para ello, utilice un diagrama temporal similar, por ejemplo, al de la Figura 34 de la Práctica 3. Para este trabajo concreto suponga que el número de procesadores es 8. Muestre mediante un diagrama temporal el número máximo de transacciones concurrentes en la red., en la página 17.**

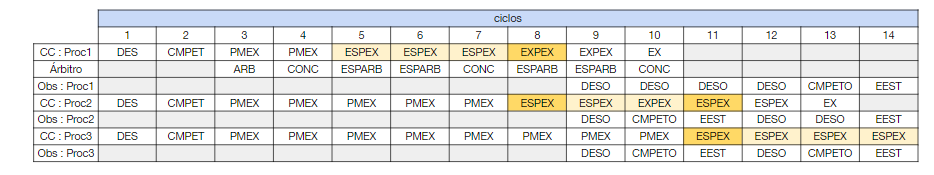
****

Tabla 4. Demostración de la latencia mínima de iniciación 3

Porque la observación de la transacción dura 3 ciclos, y no podemos observar 2 transacciones a la

vez. Hay como máximo 2 transacciones concurrentes en la red (solapamiento de los 4 primeros

ciclos de ESPEX).

**Trabajo 32: Analice la descripción VHDL del árbitro (gestor de la red). En el propio árbitro se genera una señal para efectuar arbitraje después de tres ciclos del último arbitraje, si hay alguna petición. Efectúe una comparación con el árbitro utilizado en los proyectos previos de esta práctica (una posibilidad es analizar la elaboración RTL que efectúa Quartus)., en la página 18.**

La diferencia entre los árbitros es que ahora tenemos un registro más, lat2. La entrada de este registro es la señal que nos dice si hay una concesión en este ciclo, y la salida pasa por otros 3 registros para indicar cuando se acaba la transacción (4 ciclos).

**Trabajo 35: Almacene la ventana temporal de Modelsim en un fichero en el directorio RESULTADOS. Identifique accesos concurrentes en la red., en la página 18.**

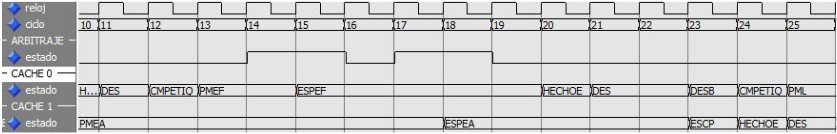
****

Figura 3: Acceso concurrente en el proyecto 5 (st P0 miss, sst P1 hit)

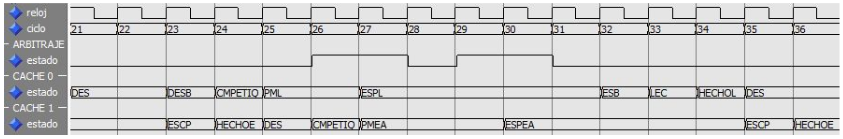


Figura 4: Acceso concurrente en el proyecto 5 (ld P0 miss, st P1 hit)

**Trabajo 37: Indique cuál de las señales en un mensaje de respuesta a un CC valida el resto de señales., en la página 26.**

Es dec\_iden, porque la utilizamos para hacer una “and” tanto con la parte de control como la información de la respuesta.

**Trabajo 38: Dada la siguiente especificación en VHDL, indique el componente lógico combinacional (multiplexor, codificador, decodificador, desplazador, sumador algebraico) que se especifica y el símbolo que se utiliza para representarlo de forma gráfica en un esquema de circuito. El circuito se corresponde con el rectángulo etiquetado como 1 en la Figura 32., en la página 26.**

Se trata de un decodificador, que transforma el identificador de procesador de la entrada en un vector de bits en el que cada bit representa un valor diferente.

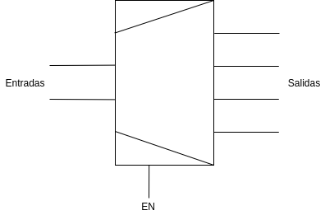
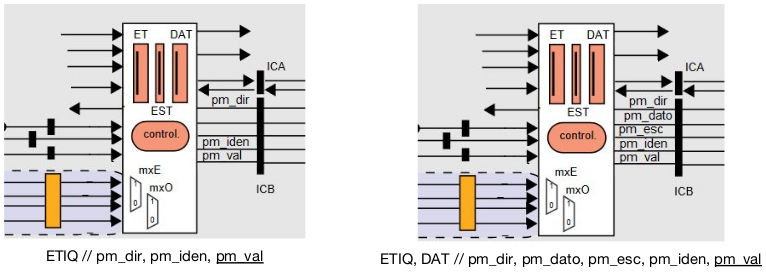
****

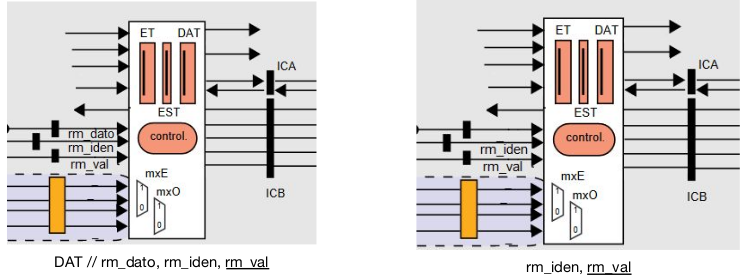
Figura 5. Símbolo del decodificador

**Trabajo 44: Muestre mediante un dibujo los campos que se transmiten en una petición de un CC (Pt y PtE, red de ida), los campos que se transmiten en una respuesta del CM (RpD y RpC, red de vuelta) y en peticiones del CM (PtObE, red de vuelta). Relacione estos campos con las señales, del diseño de la Figura 22 (red de ida, red de vuelta), donde se muestra la interconexión de los distintos elementos (CC y CM y viceversa). Identifique de forma clara las señales que transportan los campos válidos en cada tipo de mensaje y la señal que valida el mensaje., en la página 28.**

Pt (petición de un CC, red de ida) PtE (petición de un CC, red de ida)

****

RpD (respuesta del CM, red de vuelta) RpC (respuesta del CM, red de vuelta)

****

PtObE (petición del CM, red de vuelta)

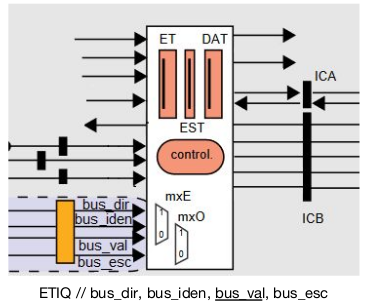
****

Figura 6: Señales involucradas en los mensajes del protocolo en el proyecto 6

**Trabajo 51: Para el módulo ACCESO dibuje un esquema del circuito y un diagrama temporal de funcionamiento, siendo la señal de reloj la señal de referencia. En el diagrama temporal deben observarse 3 ciclos consecutivos. El ciclo en el cual hay una petición (ciclo 6 de la Figura 30), el ciclo de lectura del directorio (ciclo 7 de la Figura 30) y el ciclo de escritura (ciclo 8 de la Figura 30). Muestre también las señales t\_LD\_dir, pe y ED\_dir., en la página 32.**

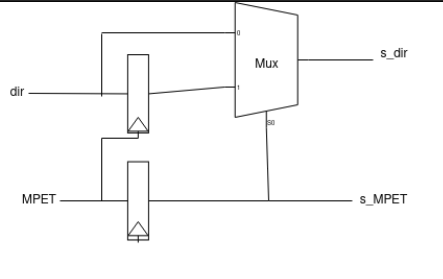
****

Figura 7. Módulo ACCESO en el subproyecto 8.1

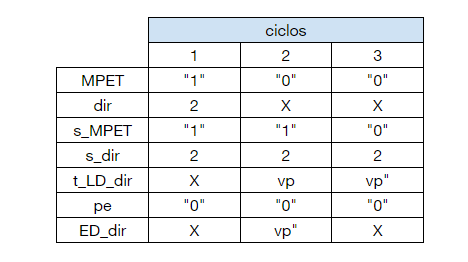
****

Tabla 5. Diagrama temporal del módulo de acceso

**Trabajo 53: Dibuje un esquema de circuito del elemento MODIFICACION, el cual se utiliza para modificar el valor leído del directorio en transacciones de lectura o escritura. En el diseño deben utilizarse exclusivamente puertas lógicas y su número debe ser el menor posible., en la página 33.**

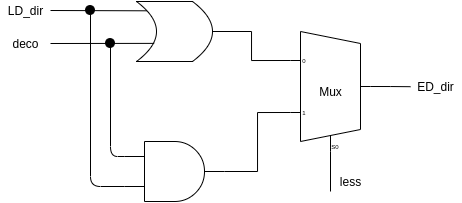
****

Figura 8. Elemento MODIFICACION en el subproyecto 8.1

**Trabajo 59: Dibuje un esquema de circuito, utilizando puertas lógicas, para establecer las peticiones de observación de escritura en función de la lectura del directorio (marca 3 en la Figura 33 y la Figura 36)., en la página 35.**

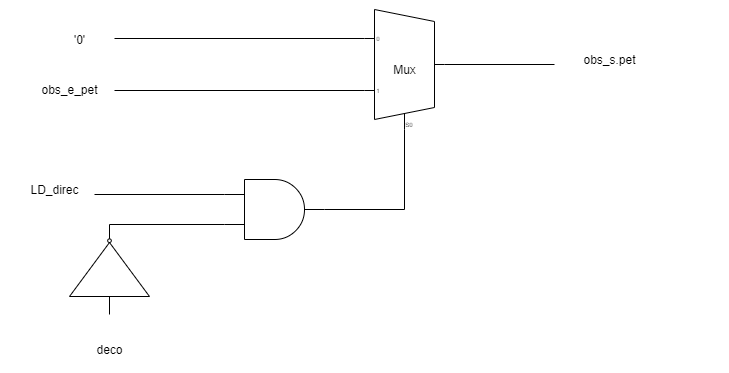
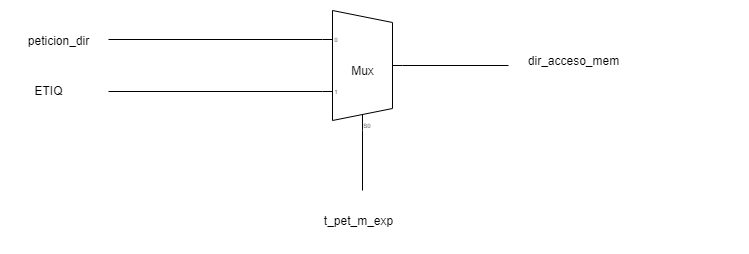
****

Figura 9. Elemento #3 del CM en el subproyecto 8.2

**Trabajo 64: Partiendo de la descripción VHDL, dibuje un esquema de circuito que muestre la reconstrucción de la dirección del bloque que se expulsa y la selección de la misma en una petición PtX (fichero cache\_multi.vhd en el directorio cache\_con\_interface\_proc/cache/ ensamblado\_multi/CODIGO). El esquema de circuito debe incluir además, el módulo etiquetas., en la página 36.**

****

Figuro 10. Reconstrucción de la dirección del bloque expulsado en el proyecto 9

**Trabajo 65: Modifique el diagrama de transiciones entre estados de la Figura 41 de la Práctica 3 para tener en cuenta, cuando es necesario, la acción de notificación de expulsión de un bloque al directorio. Es suficiente con 3 nuevos estados. Denomine a estos estados PMEX, ESPEX y HECHOX., en la página 37.**

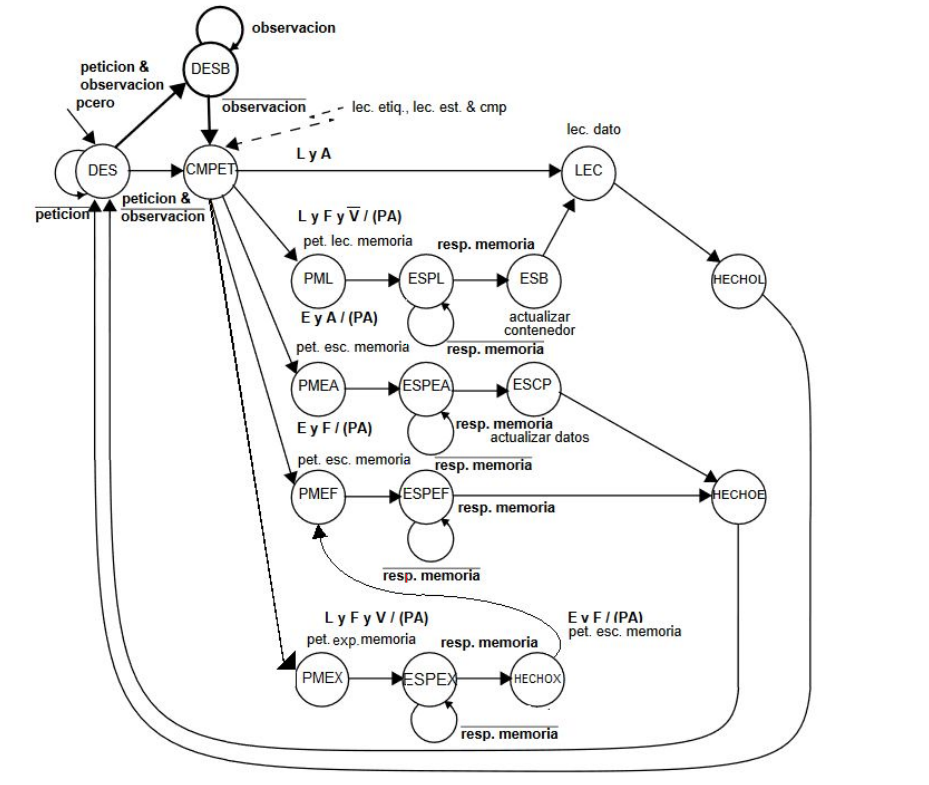
****

Figura 11. Nuevos estados del autómata de procesador del CC en el proyecto 9

**Trabajo 67: Dibuje un esquema de circuito para modificar el valor leído del directorio en transacciones de lectura, escritura y notificaciones de expulsión. En el diseño deben utilizarse exclusivamente puertas lógicas y su número debe ser el menor posible. Se recomienda un diseño partiendo del diseño efectuado en el Trabajo 53., en la página 37.**

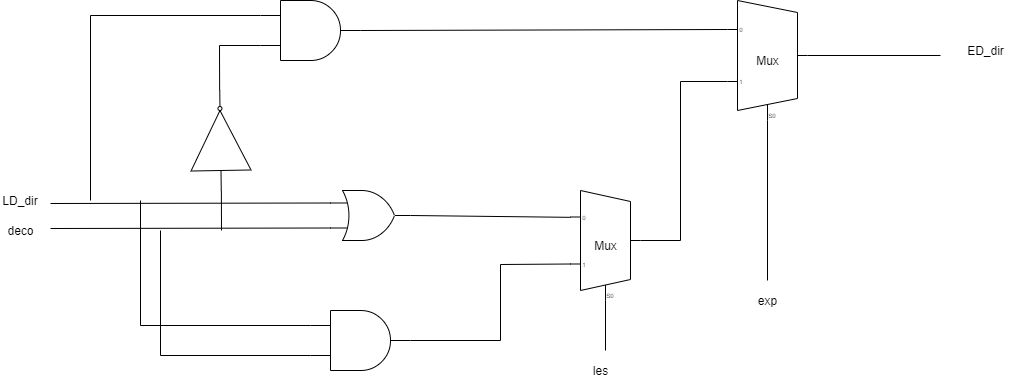
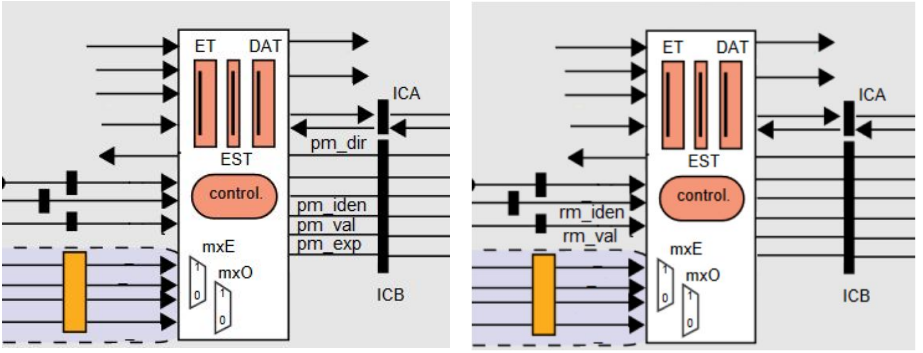
****

Figura 12. Elemento MODIFICACIÓN en el proyecto 9

**Trabajo 75: Amplíe el Trabajo 44 con la petición PtX y la respuesta RpX., en la página 39.**

PtX (petición de un CC, red de ida) RpX (respuesta del CM, red de vuelta)

****

ETIQ // pm\_dir, pm\_iden, pm\_exp, pm\_val rm\_iden, rm\_val

Figura 13. Señales de los nuevos mensajes en el proyecto 9

**Trabajo 77: Razone si es factible eliminar el campo “iden” en la red de ida, en la red de vuelta o en ambas., en la página 39.**

En la red de ida no podemos eliminar el campo iden porque el directorio necesita saber quién ha emitido la petición para actualizar el VP. En cambio, en la red de vuelta sí se podría eliminar el campo “iden”, ya que el directorio se encarga de enviar las peticiones y respuestas de memoria únicamente a las caches correspondientes.